PIC

Peripheral **I**nterface **C**ontroller

© Prof. Engº esp Luiz Antonio Vargas Pinto
www.vargasp.com

Histórico

- Em 1965 a General Instruments criou a divisão de microeletrônica
- Nos anos 80 foi dividida e vendida a investidores gerando a Microchip
- No Brasil iniciou em 1990 em parceria com a ARTIMAR da qual ainda é parceira, sendo a Artimar a única representante no Brasil

© Prof. Vargas

Algumas considerações

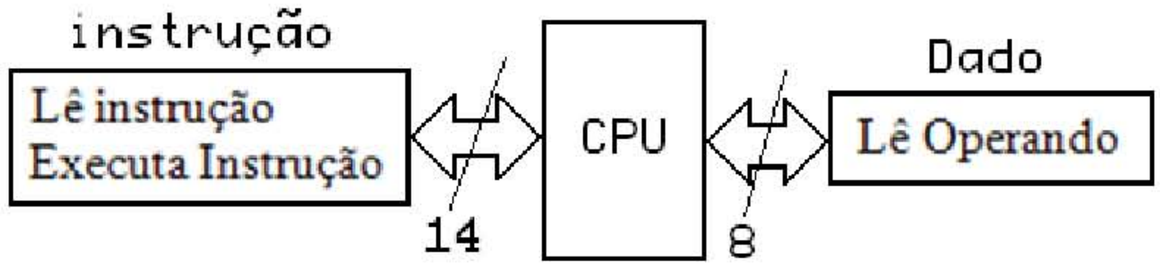
- Aplicações
  - ☒ Câmeras, Aparelhos de DVD, Telefones celulares, Microondas, Máquinas de lavar roupa, etc . . .

- MicroProcessador x MicroControlador
  - ☒ Microprocessadores tem periféricos externos ao chip
  - ☒ Microcontroladores tem os periféricos internos ao chip
    - muitas vezes ele é citado como Computador em um chip

© Prof. Vargas

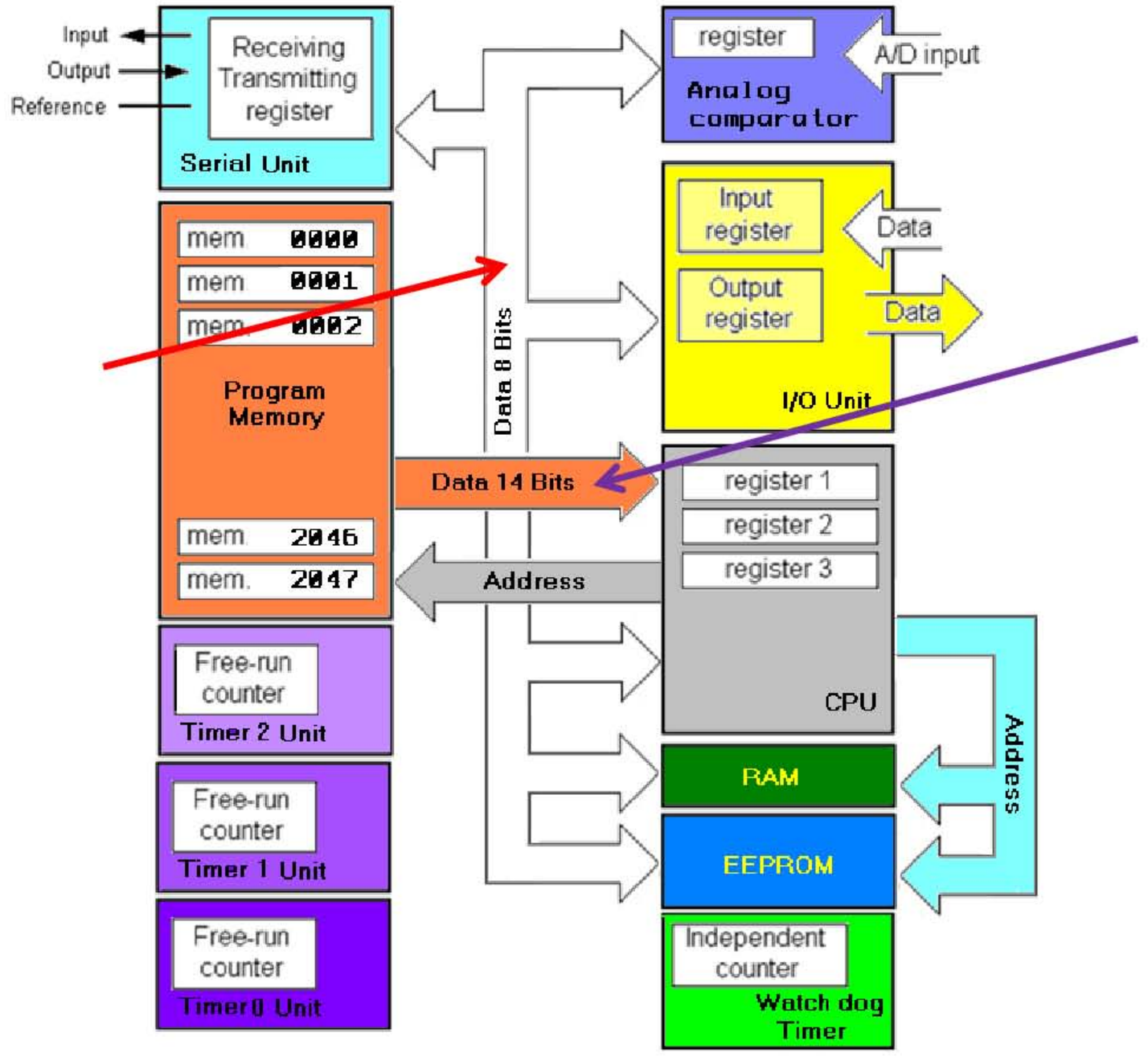
Arquitetura Harvard

- Data bus independe do instruction bus
  - Permite que a CPU acesse ao dois bus simultaneamente
    - Dados e instruções simultaneamente
  - Melhora o desempenho
- Memória e dados tem tamanho diferentes
  - PIC 16F628A: instruções 14 bits / dados 8 bits



© Prof. Vargas

Detalhe



© Prof. Vargas

RISC

- As instruções são maiores e portanto mais poderosas (14 bits)
- instruções são mais eficientes, mesmo a 1 μs (embora necessite cristal de 4 MHz)

© Prof. Vargas

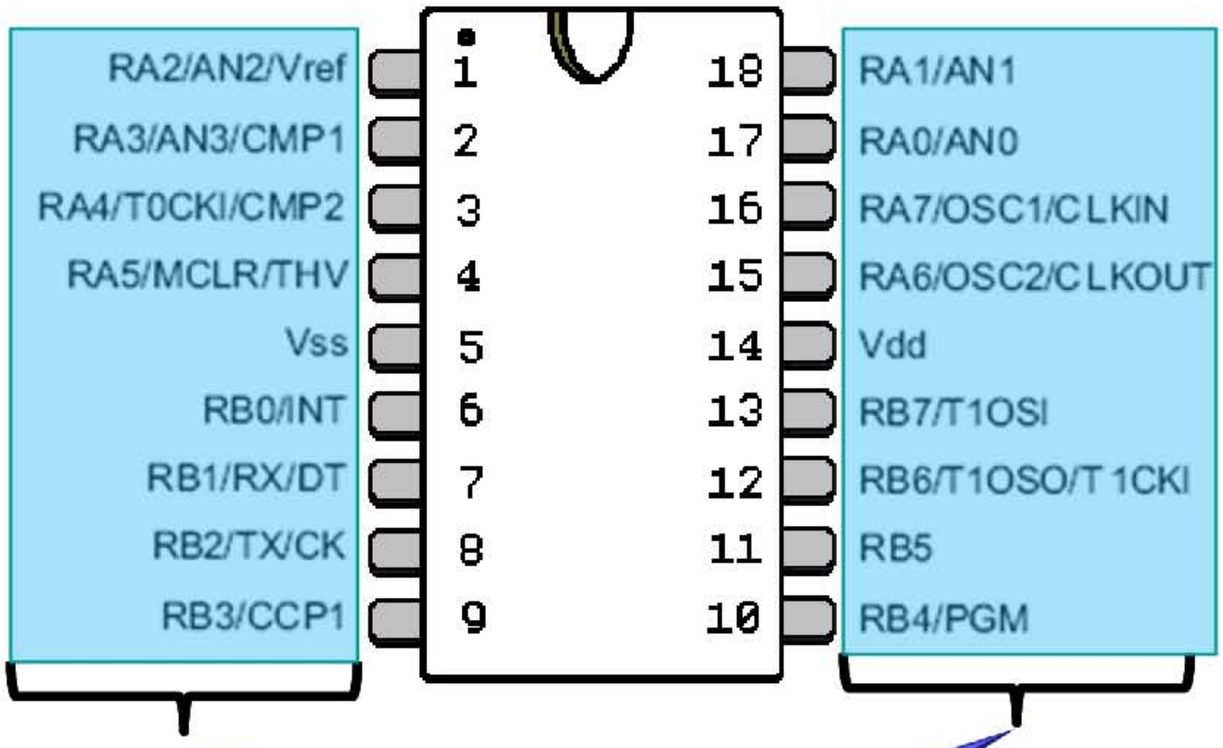
O PIC 16F628A

- O 16F84 foi lançado em 1993 sucedendo ao 16C84 agora já com EEPROM e FlashROM
- O 16F628A
  - ☒ 2048 endereços de programa FlashROM
  - ☒ 224 bytes de memória RAM (96 apenas no BANK0)
  - ☒ 128 bytes de memória EEPROM
  - ☒ 1 Canal serial USART
  - ☒ 3 Timers programáveis por software
  - ☒ 1 Timer Watchdog
  - ☒ 16 ports de I/O (RA e RB)
  - ☒ 1 Comparador Analógico
  - ☒ 1 Gerador de PWM
  - ☒ 35 instruções

© Prof. Vargas

Overview

- Funciona de 2.0 a 5.5V
- Flashrom pode ser gravada até 100.000 vezes
- EEPROM permite 1.000.000 gravações
- Dados são retidos por mais de 40 anos

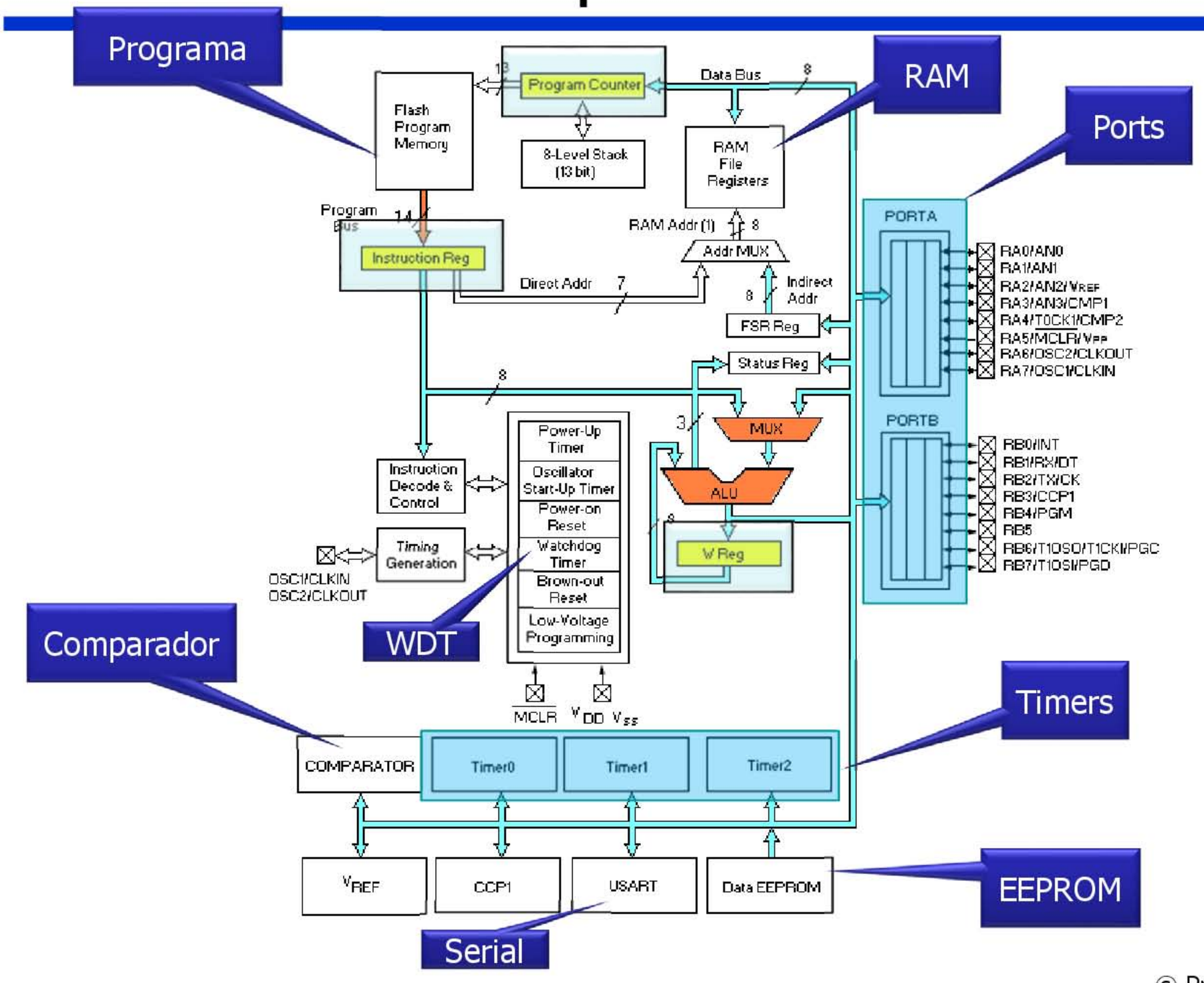


© Prof. Vargas

Estrutura da FlashRom

© Prof. Vargas

Arquitetura



© Prof. Vargas

Arquitetura de memória

© Prof. Vargas

Memória de dados e registros de controle

- Memória de dados → Banco de registro 0
- Memória de controle → Bancos de registro 1 2 3
- Controle dos bancos
  - ☒ bits RP1 e RP0 → bits 6 e 5 do STATUS
    - Gerencia até 4 bancos
- Registros de controle – ou SFR

  Special **F**unctions **R**egister
  - ☒ STATUS / OPTION / INTCON /
  - ☒ Permite controlar o funcionamento do chip

© Prof. Vargas

Memória de dados e registros de controle

SFR

Dados
RAM 224

DATA MEMORY MAP OF THE PIC16F627A AND PIC16F628A

Indirect addr.(1)	00h	Indirect addr.(1)	80h	Indirect addr.(1)	100h	Indirect addr.(1)	180h
TMR0	01h	OPTION	81h	TMR0	101h	OPTION	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
	07h		87h		107h		187h
	08h		88h		108h		188h
	09h		89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch		10Ch		18Ch
	0Dh		8Dh		10Dh		18Dh
TMR1L	0Eh	PCON	8Eh		10Eh		18Eh
TMR1H	0Fh		8Fh		10Fh		18Fh
T1CON	10h		90h				
TMR2	11h		91h				
T2CON	12h	PR2	92h				
	13h		93h				
	14h		94h				
CCPR1L	15h		95h				
CCPR1H	16h		96h				
CCP1CON	17h		97h				
RCSTA	18h	TXSTA	98h				
TXREG	19h	SPBRG	99h				
RCREG	1Ah	EEDATA	9Ah				
	1Bh	EEADR	9Bh				
	1Ch	EECON1	9Ch				
	1Dh	EECON2(1)	9Dh				
	1Eh		9Eh				
CMCON	1Fh	VRCON	9Fh		11Fh		
General Purpose Register 80 Bytes	20h	General Purpose Register 80 Bytes	A0h	General Purpose Register 48 Bytes	120h 14Fh 150h		
	6Fh		EFh		16Fh		1EFh
16 Bytes	70h	accesses 70h-7Fh	F0h	accesses 70h-7Fh	170h	accesses 70h-7Fh	1F0h
	7Fh		FFh		17Fh		1FFh
Bank 0		Bank 1		Bank 2		Bank 3	

File Address

© Prof. Vargas

Memória RAM de uso geral

- 224 bytes
  - Os últimos 16 bytes existem apenas no Banco 0 entre 70h e 7Fh – nos demais bancos está espelhado
- 128 bytes de EEPROM

© Prof. Vargas

Program Counter e Stack

Program Counter (**PC**)

- O PC tem 13-bit que contém o endereço da instrução que está sendo executada.
- Fisicamente é a combinação do registro PCLATH para os 5 MSB do endereço, e o registro PLC para os 8 bits LSB do endereço.
  - 5+8 = 13 bit de endereço

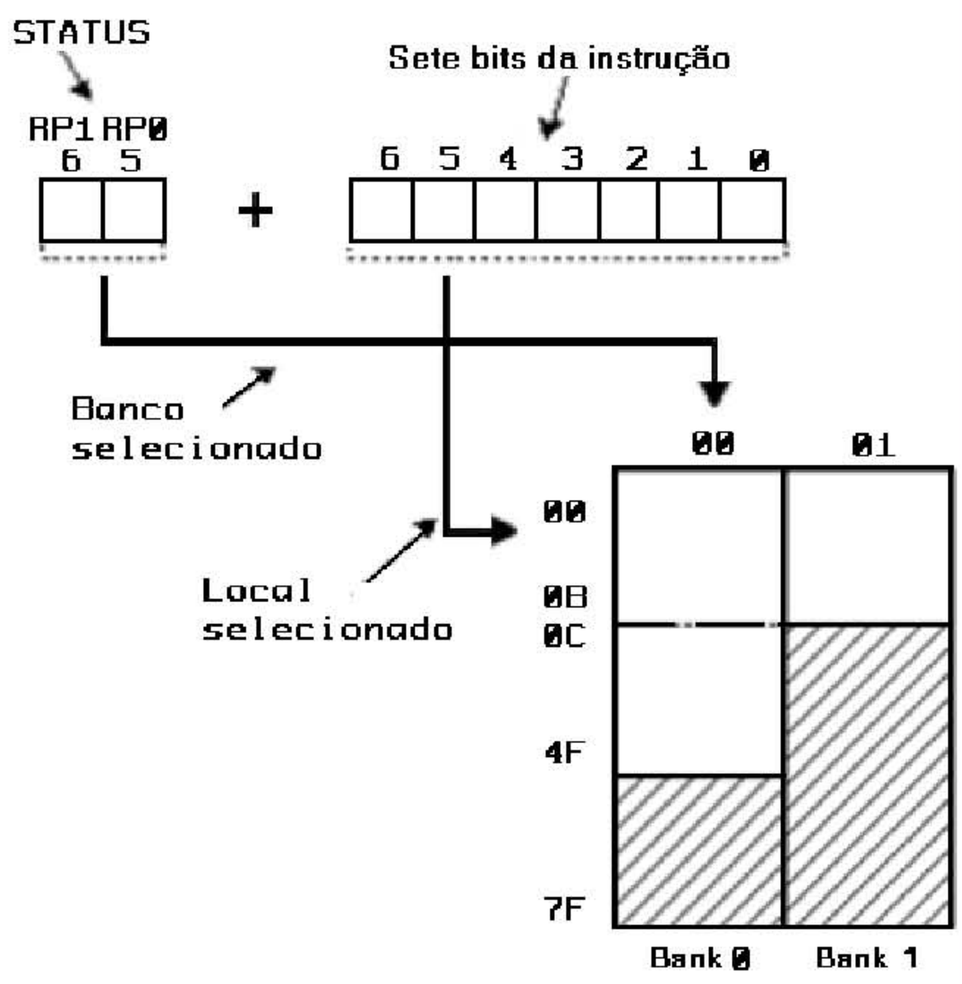
Stack

- O STACK tem 13-bit e permite tratar até 8 níveis para memorizar ações especiais como CALL e Int.
- É a nível de hardware, portanto inacessível diretamente pelo usuário.
- Sua função é manter o conteúdo do PC.

© Prof. Vargas

Endereçamento direto

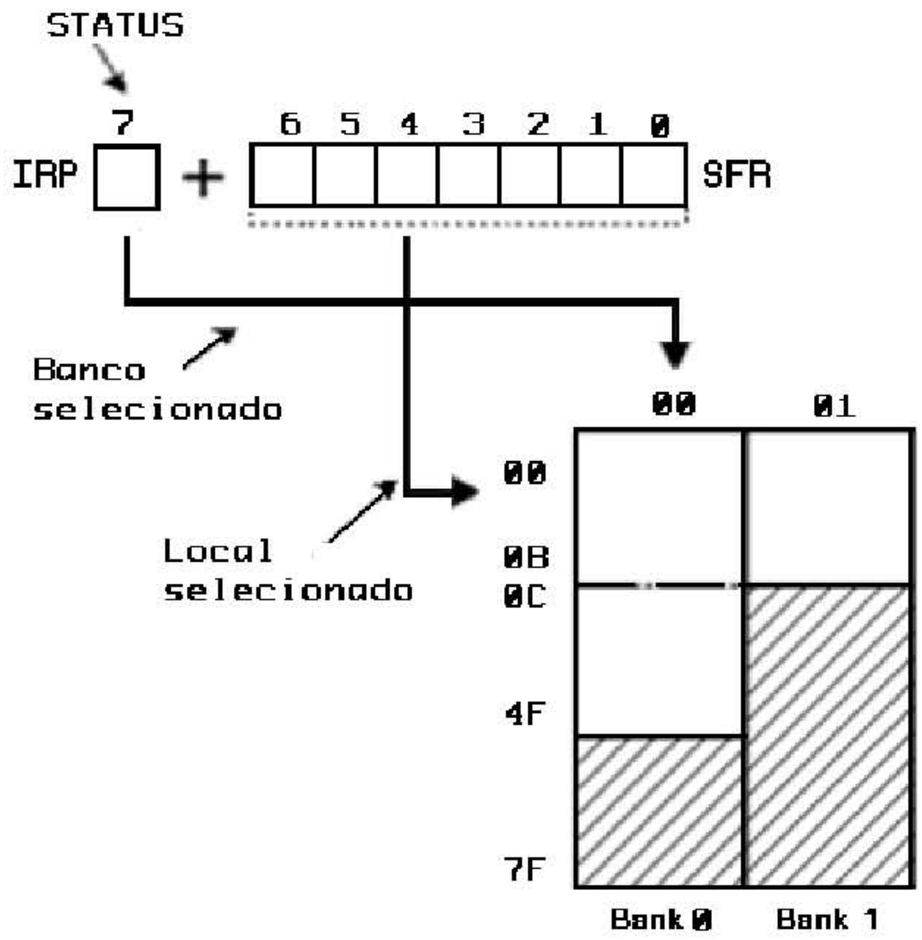
- Endereçamento de 9-bit.
- Obtido pela conexão do 7º bit de endereçamento direto de uma instrução com 2 Bits (RP1, RP0) do STATUS



© Prof. Vargas

Endereçamento indireto

- obtém o endereçamento do bit IRP de STATUS e os registros SFR.
- A endereço vem via INDF que efetivamente detém o endereço indicado por um SFR.



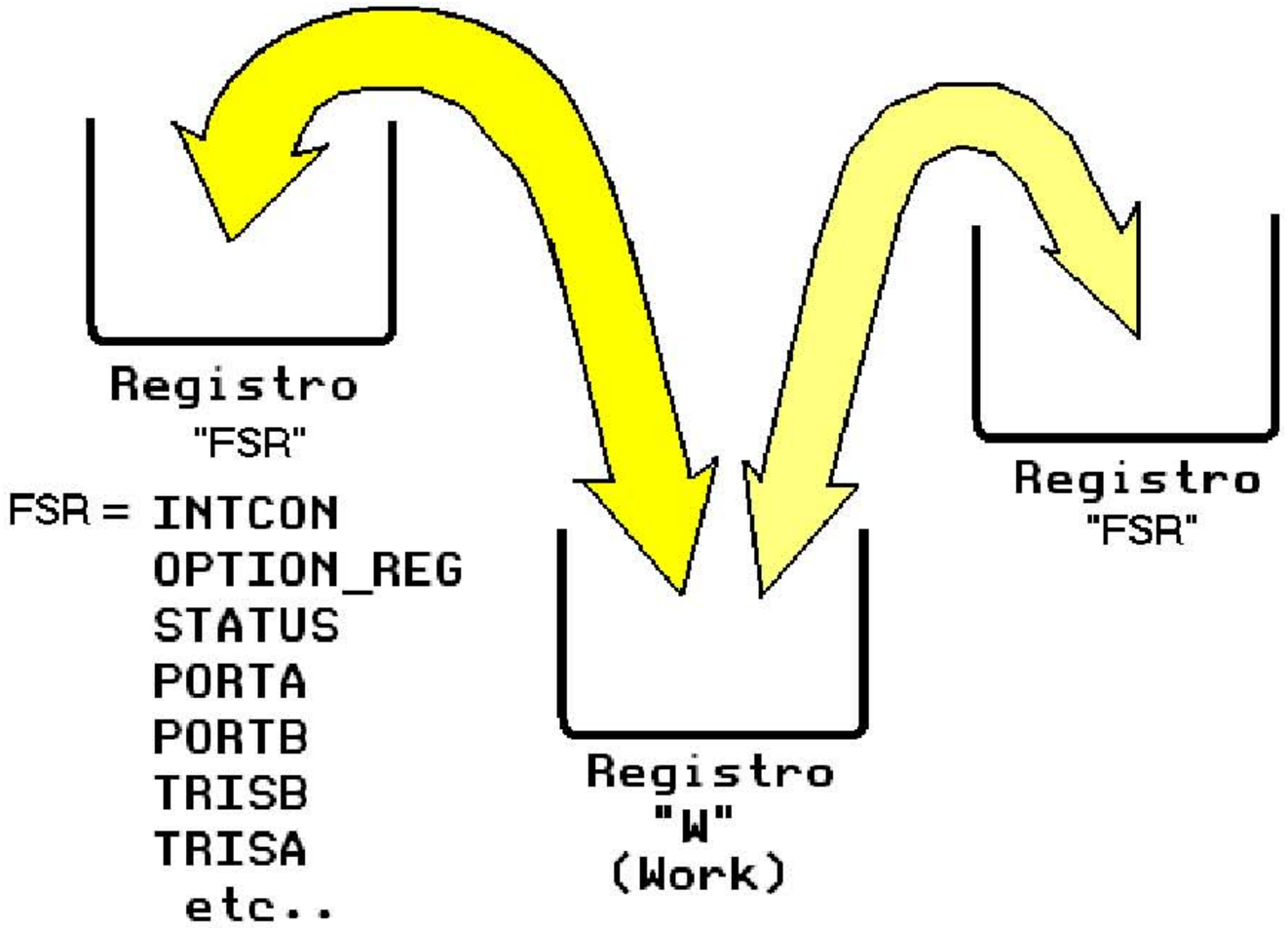
© Prof. Vargas

PIC 16F628A

Estudo das instruções

© Prof. Vargas

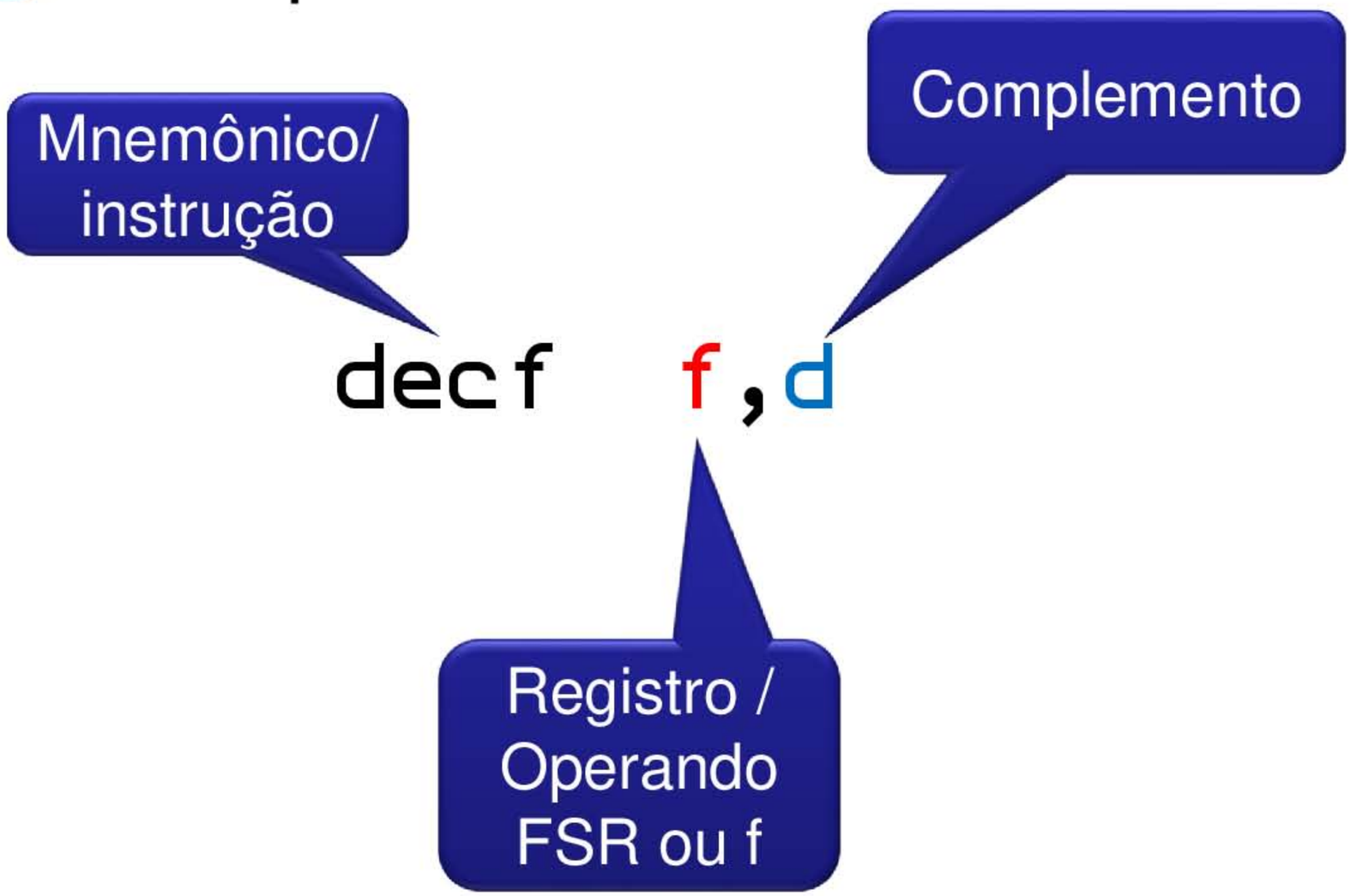
O registro **W**



© Prof. Vargas

Composição dos comandos

- Exemplo:



© Prof. Vargas

Operações de registros orientados a Byte

Mnemônico	Operando	Descrição	Ciclos	MSB			LSB	Flags
ADDWF	f,d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z
ANDWF	f,d	AND W with f	1	00	0101	dfff	ffff	Z
CLRF	f–	Clear f	1	00	0001	1fff	ffff	Z
CLRW	f,d	Clear W	1	00	0001	0xxx	xxxx	Z
COMF	f,d	Complement f	1	00	1001	dfff	ffff	Z
DECF	f,d	Decrement f	1	00	0011	dfff	ffff	Z
DECFSZ	f,d	Decrement f, Skip if 0	1	00	1011	dfff	ffff	
INCF	f,d	Increment f	1	00	1010	dfff	ffff	Z
INCFSZ	f,d	Increment f, Skip if 0	1	00	1111	dfff	ffff	
IORWF	f,d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z
MOVF	f –	Move f	1	00	1000	dfff	ffff	Z
MOVWF	f,d	Move W to f	1	00	0000	1fff	ffff	
NOP	f,d	No Operation	1	00	0000	0xx0	0000	
RLF	f,d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C
RRF	f,d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C
SUBWF	f,d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z
SWAPF	f,d	Swap nibbles in f	1	00	1110	dfff	ffff	
XORWF	f,d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z

© Prof. Vargas

Operações de registros orientados a bit

Mnemônico	Operando	Descrição	Ciclos	MSB			LSB	Flags
BCF	f,d	Bit Clear f	1	01	00bb	bfff	ffff	
BSF	f,d	Bit Set f	1	01	01bb	bfff	ffff	
BTFSC	f,d	Bit Test f, Skip if Clear	1	01	10bb	bfff	ffff	
BTFSS	f,d	Bit Test f, Skip if Set	1	01	11bb	bfff	ffff	

© Prof. Vargas

Operações literais e de controle

Mnemônico	Operando	Descrição	Ciclos	MSB			LSB	Flags
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk	
CLRWDT	-	Clear Watchdog Timer	1	00	0000	0110	0100	TO,PD
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk	
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk	
RETFIE	-	Return from interrupt	2	00	0000	0000	1001	
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk	
RETURN	-	Return from Subroutine	2	00	0000	0000	1000	
SLEEP	-	Go into Standby mode	1	00	0000	0110	0011	TO,PD
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z

© Prof. Vargas