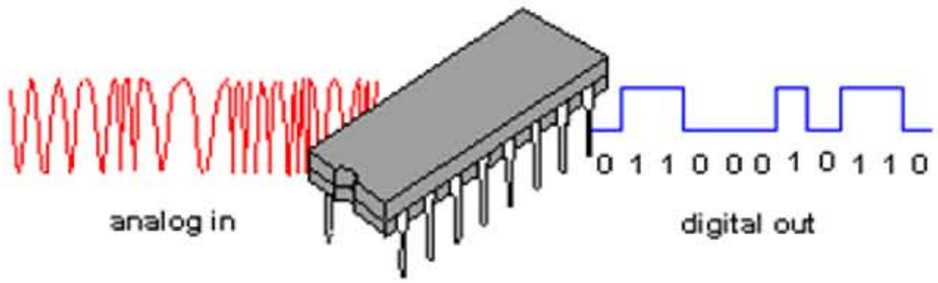
A/D 18F

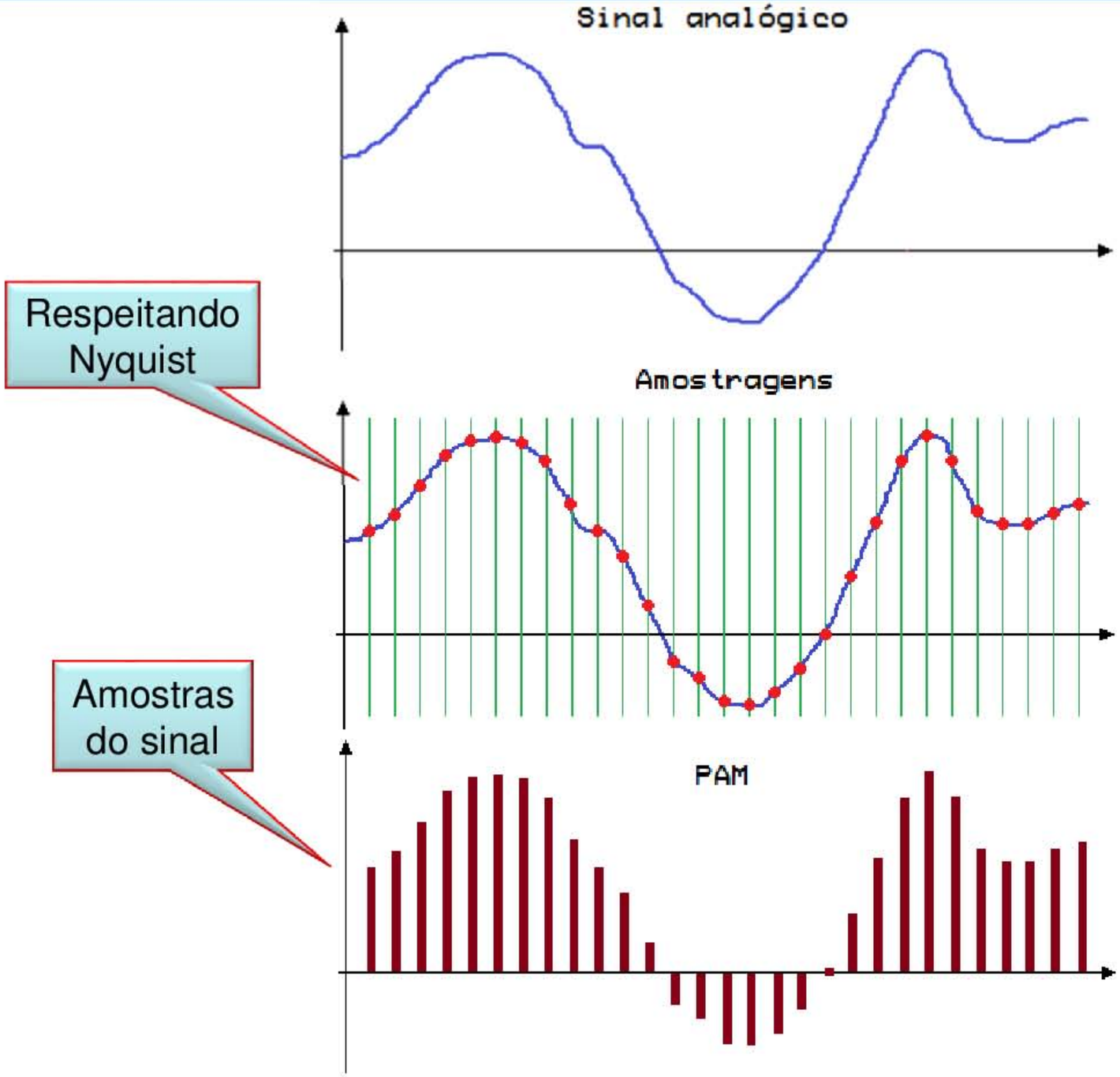


http://www.yourdictionary.com/a-d-converter

© Prof. Engº esp Luiz Antonio Vargas Pinto
www.vargasp.com

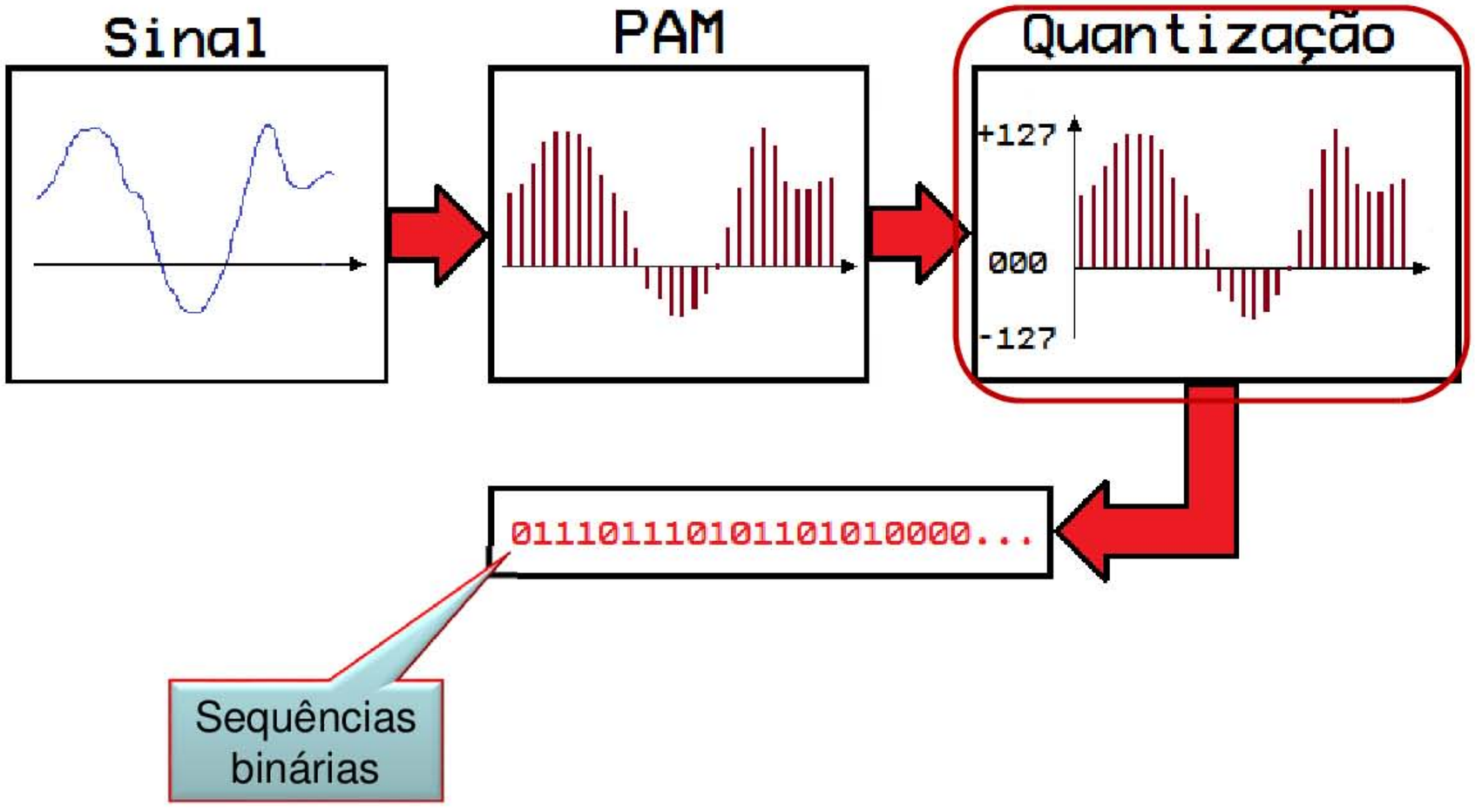
Atualizado Nov 2018

O que é conversão A/D



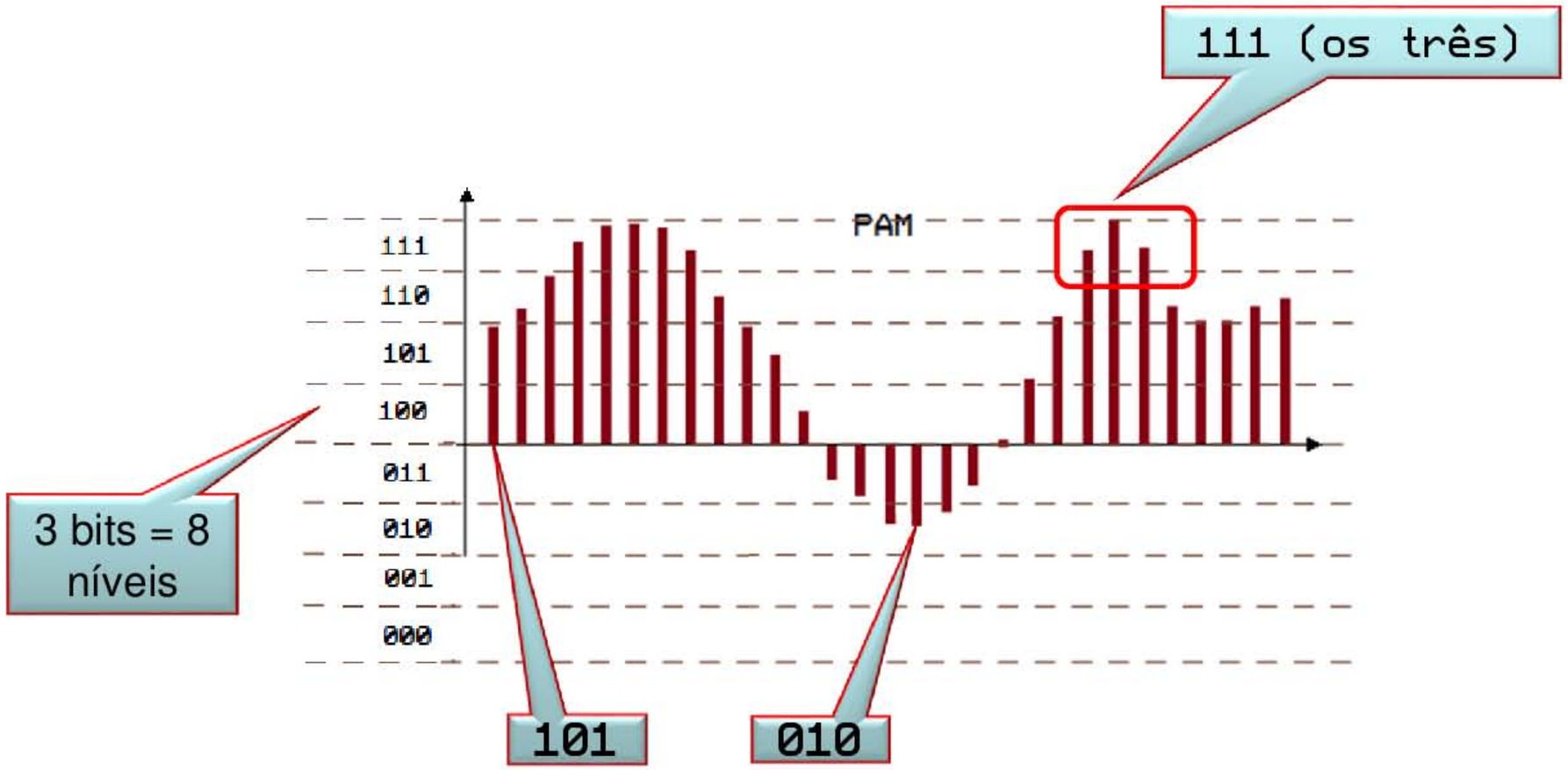
© Prof. Vargas

Processo...



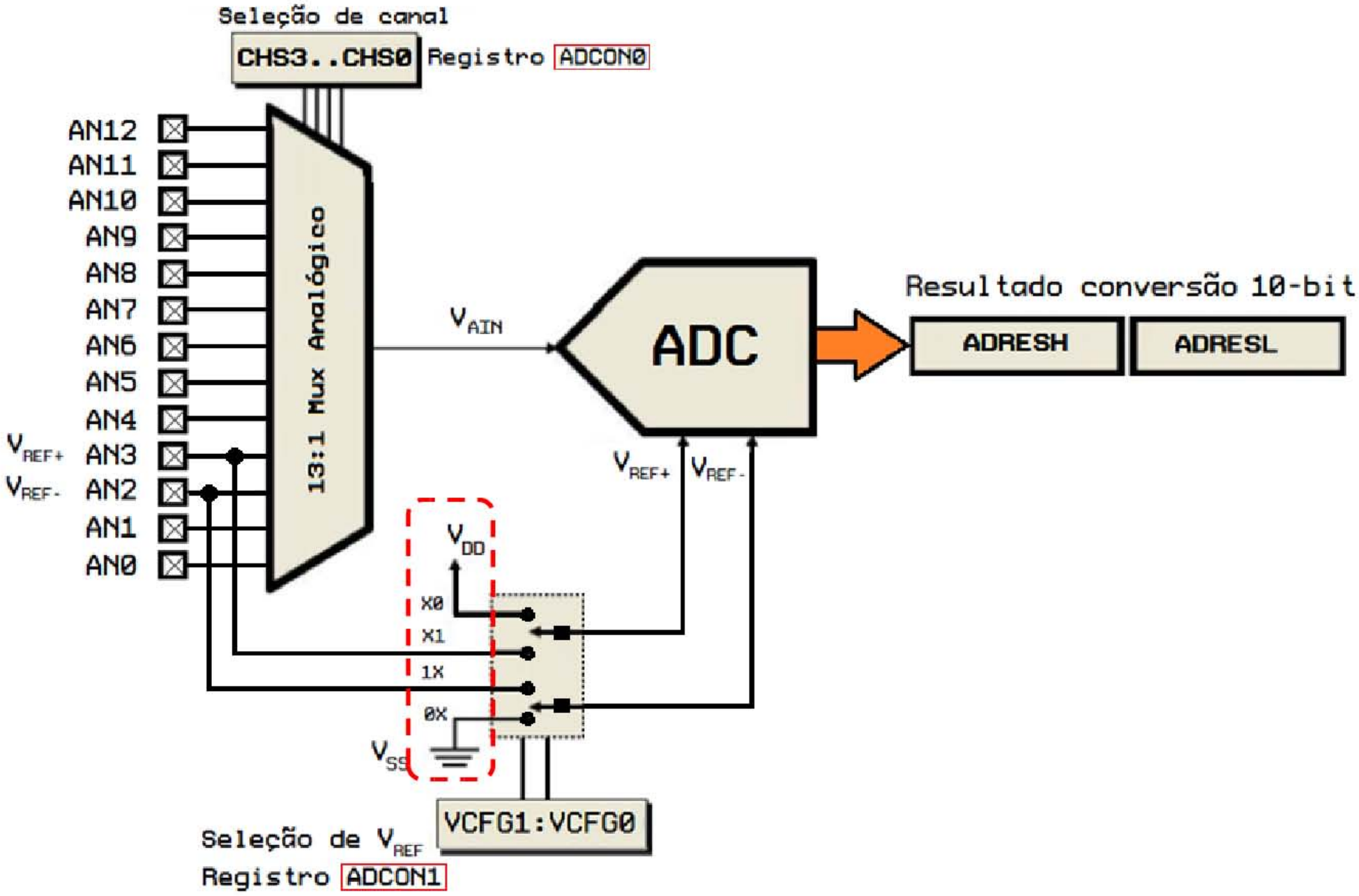
© Prof. Vargas

Como funciona...



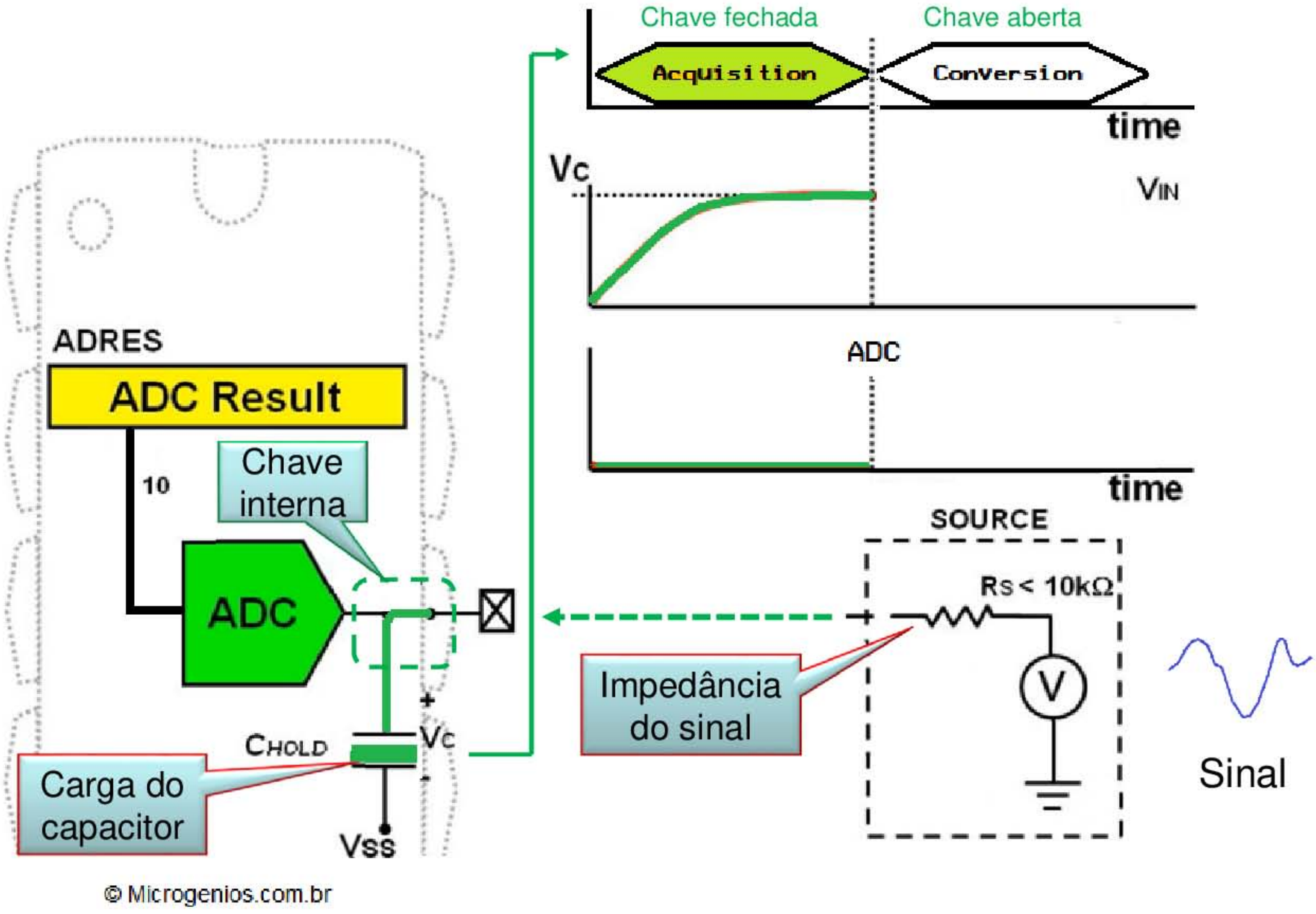
© Prof. Vargas

Arquitetura



© Prof. Vargas

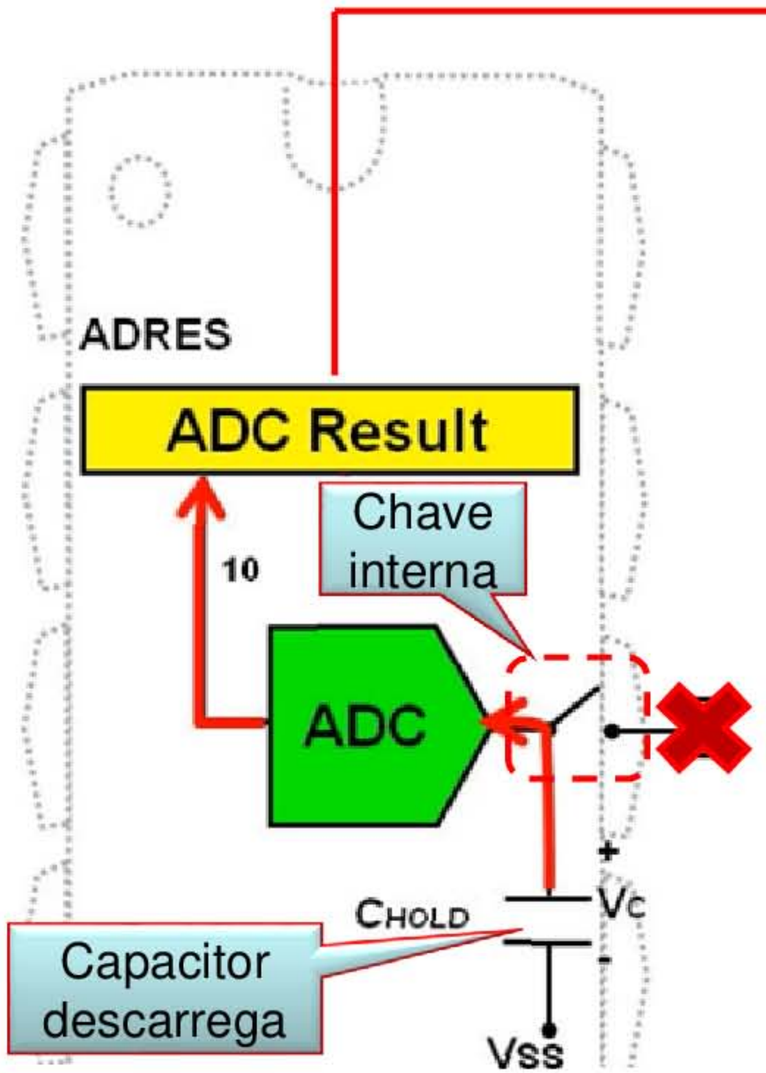
Tempo de aquisição



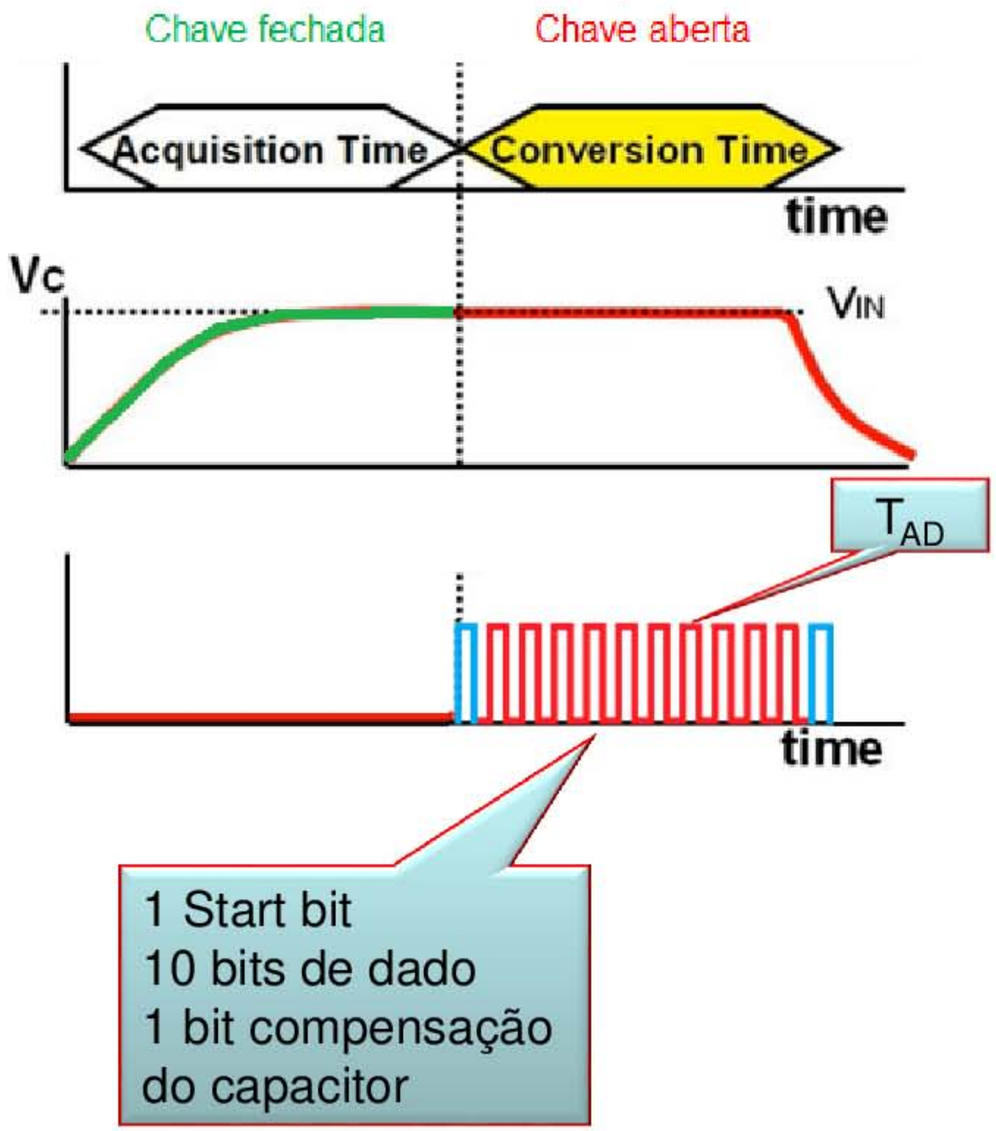
© Microgenios.com.br

© Prof. Vargas

Tempo de conversão



© Microgenios.com.br



© Prof. Vargas

Passos para a Aquisição

1. Configurar os pinos de tensão de referência, e pinos a usar como analógicos
2. Selecionar o canal (`0 a 12`)
3. Selecionar o tempo de aquisição T_{ACQ}
4. Selecionar a fonte de clock de aquisição F_{OSC}
5. Habilitar o módulo A/D (ADON = 1)
6. Aguardar o tempo de aquisição T_{ACQ}
   - ☒ pode ser feito por interrupção – só é necessário se os bits `ACQT2:0 = 000 (Registro ADCON2)`

© Prof. Vargas

Passos para Conversão

7. Iniciar conversão pelo bit GO/DONE = 1
8. Aguardar finalização:
   - ☒ Bit GO/DONE = 0 (O MC altera para 0)
   - ☒ ou por interrupção
9. Resultado em ADRESH e ADRESL
10. Limpar flag AD ADIF = 0 (Registro PIE1)
11. Aguardar, no mínimo, $2T_{AD}$ antes da próxima conversão A/D

Ajuste de limpeza interna do conversor

© Prof. Vargas

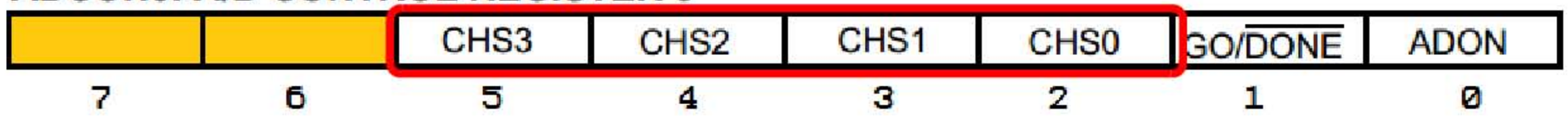
Se for por interrupção

- ADIF = 0 (Registro PIE1)
- ADIE = 1 (Registro PIR1)
- ADIP está no Registro PIE1
- GIEH = 1 e GIEL= 1

Indica final de aquisição de dados

© Prof. Vargas

ADCON0: A/D CONTROL REGISTER 0



bit 7-6 lido como 0

CHS3 a CHS0: Analog Channel Select

0000 = Channel 0 (AN0)
0001 = Channel 1 (AN1)
0010 = Channel 2 (AN2)
0011 = Channel 3 (AN3)
0100 = Channel 4 (AN4)
0101 = Channel 5 (AN5)(2)
0110 = Channel 6 (AN6)(2)
0111 = Channel 7 (AN7)(2)
1000 = Channel 8 (AN8)
1001 = Channel 9 (AN9)
1010 = Channel 10 (AN10)
1011 = Channel 11 (AN11)
1100 = Channel 12 (AN12)
1101 = Unimplemented(2)
1110 = Unimplemented(2)
1111 = Unimplemented(2)

GO/DONE: A/D Status da Conversão

[Quando ADON = 1]:

1 = A/D conversão em progresso
0 = A/D Idle (Conversão concluída)

ADON: A/D On bit

1 = A/D Habilita conversor
0 = A/D Desabilita conversor

Nota (2): Efetuar uma conversão sobre um canal não implementado retornará um valor instável.

© Prof. Vargas

ADCON1: A/D CONTROL REGISTER 1

		VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0
7	6	5	4	3	2	1	0

- bit 7-6 Lido como 0
- **VCFG1: Tensão de referência**

  bit de configuração (Fonte V_{REF-})

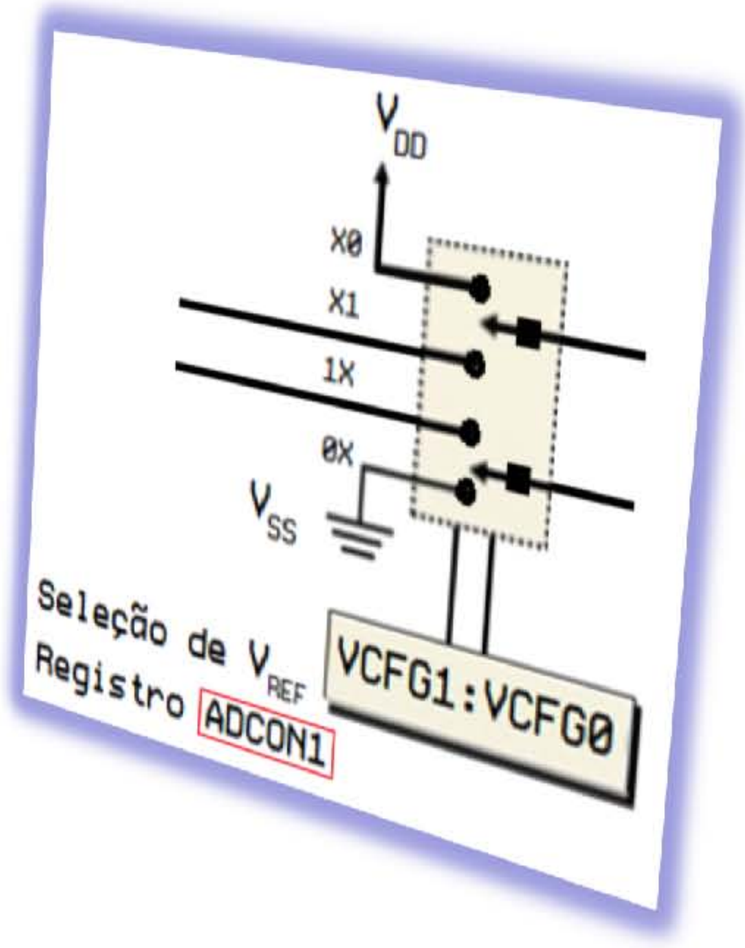
  1 = V_{REF-} (AN2)

  0 = V_{SS}
- **VCFG0: Tensão de referência**

  bit de configuração (Fonte V_{REF+})

  1 = V_{REF+} (AN3)

  0 = V_{DD}



© Prof. Vargas

ADCON1: A/D CONTROL REGISTER 1

		VCFG1	VCFG0	PCFG3	PCFG2	PCFG1	PCFG0
7	6	5	4	3	2	1	0

PCFG3:PCFG0: A/D Port Configuration Control bits:

PCFG3: PCFG0	AN12	AN11	AN10	AN9	AN8	AN7(2)	AN6(2)	AN5(2)	AN4	AN3	AN2	AN1	AN0
0000(1)	A	A	A	A	A	A	A	A	A	A	A	A	A
0001	A	A	A	A	A	A	A	A	A	A	A	A	A
0010	A	A	A	A	A	A	A	A	A	A	A	A	A
0011	D	A	A	A	A	A	A	A	A	A	A	A	A
0100	D	D	A	A	A	A	A	A	A	A	A	A	A
0101	D	D	D	A	A	A	A	A	A	A	A	A	A
0110	D	D	D	D	A	A	A	A	A	A	A	A	A
0111(1)	D	D	D	D	D	A	A	A	A	A	A	A	A
1000	D	D	D	D	D	D	A	A	A	A	A	A	A
1001	D	D	D	D	D	D	D	A	A	A	A	A	A
1010	D	D	D	D	D	D	D	D	A	A	A	A	A
1011	D	D	D	D	D	D	D	D	D	A	A	A	A
1100	D	D	D	D	D	D	D	D	D	D	A	A	A
1101	D	D	D	D	D	D	D	D	D	D	D	A	A
1110	D	D	D	D	D	D	D	D	D	D	D	D	A
1111	D	D	D	D	D	D	D	D	D	D	D	D	D

A = Analog input D = Digital I/O

© Prof. Vargas

ADCON2: A/D CONTROL REGISTER 2

ADFM		ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
7	6	5	4	3	2	1	0

ADFM: A/D Formato do resultado

1 = Justificado a direita

ADRESH

						d_9	d_8

ADRESL

d_7	d_6	d_5	d_4	d_3	d_2	d_1	d_0

0 = Justificado a esquerda

ADRESH

d_9	d_8	d_7	d_6	d_5	d_4	d_3	d_2

ADRESL

d_1	d_0						

© Prof. Vargas

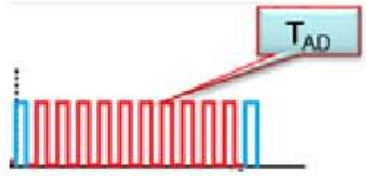
ADCON2: A/D CONTROL REGISTER 2

ADFM		ACQT2	ACQT1	ACQT0	ADCS2	ADCS1	ADCS0
7	6	5	4	3	2	1	0

- **bit 6** read as 0
- **ACQT2:ACQT0:** Tempo de aquisição A/D
  - 111 = 20 TAD
  - 110 = 16 TAD
  - 101 = 12 TAD
  - 100 = 8 TAD
  - 011 = 6 TAD
  - 010 = 4 TAD
  - 001 = 2 TAD
  - 000 = 0 TAD
- **ADCS2:ADCS0:** A/D Clock de conversão
  - 111 = FRC (clock derivado do oscilador RC de A/D)
  - 110 = FOSC/64
  - 101 = FOSC/16
  - 100 = FOSC/4
  - 011 = FRC (clock derivado do oscilador RC de A/D)
  - 010 = FOSC/32
  - 001 = FOSC/8
  - 000 = FOSC/2

© Prof. Vargas

O T_{AD}



- Refira ao Clock para o F_{OSC} (exemplo a 8MHz):
- $T_{OSC} = 1 \div 8x10^6 = 0.125\ \mu S$
- Consideraremos o $T_{ADmin} = 0.8\ \mu S$ ★

TABLE 28-29: A/D CONVERSION REQUIREMENTS

Param No.	Symbol	Characteristic		Min	Max	Units	Conditions
130	TAD	A/D Clock Period	PIC18**F**XXXX	0.8	25.0(1)	µs	TOSC based, VREF ≥ 3.0V
			PIC18**LF**XXXX	1.4	25.0(1)	µs	VDD = 2.0V, TOSC based, VREF full range
			PIC18**F**XXXX	—	1	µs	A/D RC mode
			PIC18**LF**XXXX	—	3	µs	VDD = 2.0V, A/D RC mode
131	TCNV	Conversion Time (not including acquisition time)(2)		11	12	TAD	
132	TACQ	Acquisition Time(3)		1.4	—	µs	-40°C to +85°C
135	TSWC	Switching Time from Convert → Sample		—	**(Note 4)**		
137	TDIS	Discharge Time		0.2	—	µs	

Note 1: The time of the A/D clock period is dependent on the device frequency and the TAD clock divider.

2: ADRES registers may be read on the following TCY cycle.

3: The time for the holding capacitor to acquire the "New" input voltage when the voltage changes full scale after the conversion (VSS to VDD). The source impedance (*RS*) on the input channels is 50Ω.

4: On the following cycle of the device clock.

© Prof. Vargas

O tempo de aquisição T_{ACQ}

$$T_{ACQ} = T_{AMP} + T_C + T_{COFF}$$

- Estabilização do amplificador interno
- capacitor de carga
- Coeficiente de Temperatura

- O Datasheet sugere equation 21-3:
  - T_{AMP} = 0.2 µS
  - T_C = 1.05 µS
  - T_{COFF} = 1.2 µS
  - Salvo exceções, esse valores devem ser reavaliados de acordo com o Datasheet
- Isto dá um total de **2.45 µS**

© Prof. Vargas

O tempo de conversão

- Se escolhermos FOSC/32, e se o cristal é de $8x10^6$ (8 MHz) e que configuramos em **ADCON2** nos bits **ADCS2:ADCS0** = **010**, significa que T_{AD} = 4 µS e é superior ao T_{ADmin} = 0.8 µS e portanto, é válido.

- Apenas a conversão consome 12 T_{ADs} e portanto 48 µS

- Assim, o **tempo total necessário para a obtenção do sinal em binário** será de:

$$T_{ACQ} + 12\ T_{AD} + 2\ T_{AD} = 2.45\ \mu S + 48\ \mu S + 8\ \mu S =$$

58.45 µS

© Prof. Vargas